

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-340021

(43)Date of publication of application : 24.12.1996

(51)Int.Cl.

H01L 21/60

(21)Application number : 07-144350

(71)Applicant : HITACHI LTD
AKITA DENSHI KK

(22)Date of filing : 12.06.1995

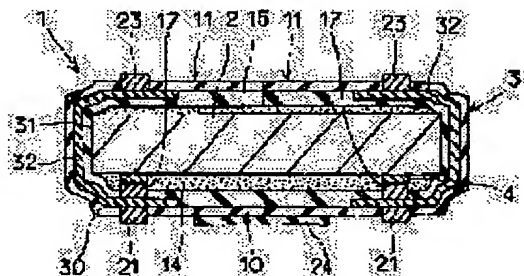
(72)Inventor : ECHIGOYA MASAMI

(54) ELECTRONIC COMPONENT AND ELECTRONIC COMPONENT MODULE

(57)Abstract:

PURPOSE: To enable three-dimensionally mounting IC's except memory IC's, by mounting semiconductor components mounting the memory IC's, on a flexible wiring film, and forming exposed electrodes in the wiring film parts of the upper surface side and the lower surface side of the semiconductor component.

CONSTITUTION: An electronic component 1 has the structure wherein a semiconductor chip 2, a semiconductor component, is wrapped up with a wiring film 3 and integrally unified in a body by using adhesive agent 14, 15. The semiconductor chip 2 has an electrode 4 on the lower surface, and electrically connected with electrodes 17 formed in the inner surface side of the wiring film 3. A plurality of exposed electrodes 21 are arranged in the wiring film 3 part on the lower surface side of the semiconductor chip 2. Adhesive agent 24 is spread on the wiring film 3 part on the lower surface side of the semiconductor chip 2, and used as the adhesive agent for mounting the electronic component 1. A plurality of electrodes 23 are formed on the upper surface (exposed surface) of the wiring film 3 part on the upper surface side of the semiconductor chip 2.



LEGAL STATUS

[Date of request for examination] 29.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

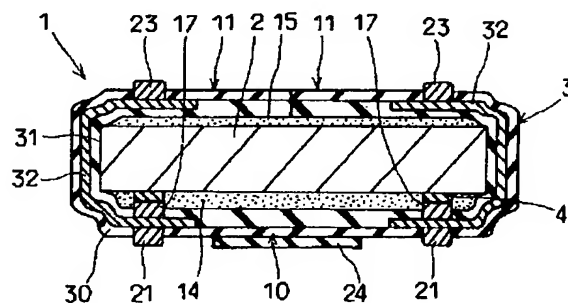
(11)特許出願公開番号

(43)公開日 平成8年(1996)12月24日

技術表示箇所

審査請求 未請求 請求項の数9 O.L (全 9 頁)

(74)代理人 弁理士 秋田 収喜



【特許請求の範囲】

【請求項1】 電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有することを特徴とする電子部品。

【請求項2】 前記半導体部品の下面側の配線フィルム部分の露出面には接着剤が設けられていることを特徴とする請求項1記載の電子部品。

【請求項3】 前記半導体部品は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっていることを特徴とする請求項1記載の電子部品。

【請求項4】 電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有する電子部品を、相互に電極を介して多段に積み重ねて接続してなることを特徴とする電子部品モジュール。

【請求項5】 前記各電子部品はチップ選択電極が相互に電氣的に独立したメモリ集積回路となっていることを特徴とする請求項4記載の電子部品モジュール。

【請求項6】 一部の段において複数の電子部品が並んで取り付けられていることを特徴とする請求項4記載の電子部品モジュール。

【請求項7】 積層状態の複数の半導体部品と、前記各半導体部品の電極と電極を介して電氣的に接続される可撓性の配線フィルムとを有し、前記配線フィルムは前記最下段の半導体部品の下面側に延在し下面に電極を有することを特徴とする電子部品モジュール。

【請求項8】 前記配線フィルムは積層された複数の半導体部品を包んでいることを特徴とする請求項7記載の電子部品モジュール。

【請求項9】 前記配線フィルムは一定長さで交互に折り返えされ、前記折り返しによって形成された下層および上層の配線フィルム部分間に半導体部品が挟まれていることを特徴とする請求項7記載の電子部品モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子部品および電子部品モジュール、特に重ねて実装できる電子部品および半導体部品（半導体チップ、半導体装置）を積層した構造の電子部品モジュールに関する。

【0002】

【従来の技術】 LSI等のICの実装では、ICの実装数の増加に伴って二次元的に実装面積が増大する。実装ボードを複数枚重ねるようにして使用することによって初めて三次元的になる。ICメモリ（メモリ集積回路）では、記憶容量増大および実装密度向上のために、半導

体装置を重ねて実装している。

【0003】たとえば、日経BP社発行「日経マイクロデバイス」1989年12月号、同年12月1日発行、P48には、TAB構造の半導体装置（SRAM）を4個重ね、チップ選択端子以外の各共通端子をアウターリード部分で4本ずつ重ねて接続したモジュールが記載されている。

【0004】

【発明が解決しようとする課題】 ICを配線基板（ボード）に実装する場合、1個部品が増加する毎に部品の占める面積の2倍以上の実装面積を必要とする。

【0005】また、従来のメモリICでは、前記文献にも記載されているが、三次元実装を行っているが、ロジックIC等他のICでは、共通ピンが殆どないため、複数の半導体装置を単純に重ね合わせる手段は採用できない。

【0006】本発明の目的は、三次元実装が達成できる電子部品および電子部品モジュールを提供することにある。

【0007】本発明の他の目的は、メモリIC以外の他のICの三次元実装が可能な電子部品および電子部品モジュールを提供することにある。

【0008】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0010】（1）電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有する。前記半導体部品の下面側の配線フィルム部分の露出面には接着剤が設けられている。前記半導体部品は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっている。

【0011】（2）電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有する電子部品を、相互に電極を介して多段に積み重ねて接続した構造となっている。前記各電子部品はチップ選択電極が相互に電氣的に独立したメモリ集積回路となっている。

【0012】（3）前記（2）の手段にあって、一部の段において複数の電子部品が並んで取り付けられている。

【0013】（4）積層状態の複数の半導体部品と、前記各半導体部品の電極と電極を介して電氣的に接続され

る可撓性の配線フィルムとを有し、前記配線フィルムは前記最下段の半導体部品の下面側に延在し下面に電極を有する。前記配線フィルムは積層された複数の半導体部品を包んで構造となっている。

【0014】(5) 前記手段(4)の構成において、前記配線フィルムは一定長さで交互に折り返えされ、前記折り返しによって形成された下層および上層の配線フィルム部分間に半導体部品が挟まれている構造となっている。

【0015】

【作用】前記(1)の手段によれば、(a)メモリICを構成する半導体部品は可撓性の配線フィルムに実装され、かつ半導体部品の上下面側の配線フィルム部分には露出した電極が設けられていることから、順次積み重ねて実装することができ、三次元実装に適した電子部品となる。また、メモリIC以外のロジックIC等他のICを組み込んだ三次元実装も可能な電子部品となる。

【0016】(b)の手段によれば、前記半導体部品の下面側の配線フィルム部分の露出面には接着剤が設けられているため、電子部品を実装したり順次積み重ねる際固定が容易となる。

【0017】(c) 前記半導体部品は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっていることから、チップ選択電極の位置が異なる複数の電子部品を選択して重ねて実装することができ、複数の電子部品を積み重ねてモジュール化を図った場合、実装面積を増大させることなくメモリ容量を増大させることができる。

【0018】前記(2)の手段によれば、(a)上下面側に電極を有する電子部品を、相互に電極を介して多段に積み重ねて接続した構造となっていることから、電子部品モジュールの三次元実装化が図れるとともに、実装面積の低減が図れる。

【0019】(b) 前記各電子部品はチップ選択電極が相互に電気的に独立したメモリ集積回路となっていることから、電子部品モジュールの実装面積を増大させることなくメモリ容量の増大を図ることができる。

【0020】(c) 配線フィルムの配線パターンを一般の配線ボードのようにすることによって、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュールともなる。

【0021】前記(3)の手段によれば、(a)電子部品の大きさが異なるものも組み込むことができモジュール化が容易となる。

【0022】(b) 配線フィルムの配線パターンを一般の配線ボードのようにすることによって、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュールともなる。

【0023】前記(4)の手段によれば、(a)複数の半導体部品が積層状態となっていることから、実装面積

を低減できる電子部品モジュールとなる。

【0024】(b) 前記配線フィルムは積層された複数の半導体部品を包んだ構造となり、製造が容易となる。

【0025】(c) 配線フィルムの配線パターンを一般の配線ボードのようにすることによって、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュールともなる。

【0026】前記(5)の手段によれば、(a)前記配線フィルムは一定長さで交互に折り返えされ、前記折り返しによって形成された下層および上層の配線フィルム部分間に半導体部品が挟まれる構造となっていることから、製造が容易となる。

【0027】(b) 配線フィルムの配線パターンを一般の配線ボードのようにすることによって、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュールともなる。

【0028】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0029】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0030】(実施例1) 図1は本発明の一実施例(実施例1)である電子部品の断面図、図2は同じく斜視図、図3は同じく電子部品に組み込まれる半導体チップの平面図、図4は同じく電子部品の製造で使用する配線フィルムの平面図、図5は同じく配線フィルムの底面図、図6は本実施例1の配線フィルムの製造において複数のフィルムを積み重ねる状態を示す断面図、図7は本実施例1の配線フィルムの構造を示す断面図、図8は本実施例1による電子部品モジュールを示す斜視図、図9は電子部品と電子部品モジュールを実装した状態を示す模式的斜視図である。

【0031】本実施例1の電子部品1は、図1に示すように、半導体部品である半導体チップ2を配線フィルム3で包み、接着剤14、15で一体化した構造となっている。半導体チップ2は、下面に電極4を有し、配線フィルム3の内面側に設けられた電極17と電気的に接続されている。

【0032】また、半導体チップ2の下面側の配線フィルム3部分には、露出する電極21が複数設けられている。これらの電極21は、電子部品1を実装する際に使用される。また、半導体チップ2の下面側の配線フィルム3部分には、接着剤24が塗布されている。この接着剤24は電子部品1を実装する際の接着剤として使用される。

【0033】半導体チップ2の上面側の配線フィルム3部分の上面(露出面)には、電極23が複数設けられている。これら電極23は、電子部品1に重ねられる同一構造の電子部品の実装用の電極となる。

【0034】本実施例1の電子部品1は、メモリ集積回路からなる半導体チップ2を組み込んだ構造となっている。そして、チップ選択電極は、たとえば、並んだ4個の予備電極位置の所定位置に位置するチップ選択電極を有する構造となっている。

【0035】また、本実施例1では、4個の電子部品1を積み重ねて、図8に示されるような電子部品モジュール40とされる。この場合、各電子部品1におけるチップ選択電極は、相互に独立している。すなわち、これは、後述するが、4個の電子部品1において、それぞれ組み込まれる半導体チップ2のチップ選択電極の位置がそれぞれ異なる位置にある。

【0036】以下、本実施例1の電子部品の構造を、電子部品の製造および配線フィルム3の製造方法をも参照しながら説明する。

【0037】配線フィルム3は、展開状態では図4に示すようになり、裏面は図5に示すようになっている。

【0038】前記配線フィルム3に包み込まれる半導体チップ2は、特に限定はされないが、図3に示すように正方形となり、主面（表面）の縁に沿って電極4を有している。

【0039】この半導体チップ2は、たとえば、メモリ集積回路を構成し、チップ選択電極4aを有している。前記電極4のうちの一つがチップ選択電極4aとなる。本実施例1では、たとえば、チップ選択電極の配置位置が異なる半導体チップ2が4種類用意される。図3の半導体チップ2において、並んだ4箇所が予備電極位置5a～5dとなり、予備電極位置5aにチップ選択電極4aが設けられている。残りの予備電極位置5b、5c、5dには電極が設けられていない。

【0040】図示はしないが、残りの3種類の半導体チップ2は、予備電極位置5b、5c、5dにそれぞれチップ選択電極が設けられた構造となる。これは、本実施例1の場合は、電子部品1を4個積み重ねることを意図としている。したがって、さらに多くの電子部品1を積み重ねる場合には、その数以上の予備電極位置を有する複数種類の半導体チップ2を使用する。

【0041】配線フィルム3は、図4および図5に示すように、半導体チップ2の主面に対面する四角形部10と、四角形部10の各辺に連なる略三角形形状となる三角形部11とからなり、図4に示す四角形部10の表面部12に半導体チップ2を載置し、各三角形部11を内側に折り返すことによって、図2に示すように半導体チップ2の側面と裏面を完全に覆うようになる。

【0042】また、前記表面部12および三角形部11の表面部13には、接着剤14、15が設けられ、四角形部10の表面部12および三角形部11の表面部13と、半導体チップ2との接着を図るようになっている。

【0043】配線フィルム3の表面部12には電極17が設けられている。この電極17は前記半導体チップ2

の電極4に対応している。

【0044】図5に示される配線フィルム3の裏面において、四角形部10の裏面部20には電子部品1の実装用の電極21が設けられ、三角形部11の裏面部22には積まれる電子部品1を接続するための電極23が設けられている。また、裏面部20には電子部品1を実装するための接着剤24が設けられている。

【0045】一方、配線フィルム3は、特に限定はされないが、図7に示すように、絶縁性の第1フィルム30と、この第1フィルム30に張り合わされる絶縁性の第2フィルム31と、前記第1フィルム30と第2フィルム31との間に延在する配線32と、前記配線32に電気的に接続されて配線フィルム3の表面および裏面に露出する電極17、21、23とからなっている。なお、図7においては、接着剤は省略してある。

【0046】配線フィルム3の製造においては、最初に2枚の絶縁性フィルムが用意される。この絶縁性フィルムは、たとえば、厚さ0.1mm程度のポリイミドフィルムからなり、図6に示すように、第1フィルム30および第2フィルム31とされる。これらの第1・第2フィルム30、31は、パンチングによってスルーホール33が開けられる。最終的には前記スルーホール33が設けられた部分に前記電極17、21、23が設けられる。

【0047】つぎに、前記第1フィルム30上には配線を形成するため、たとえば、A1が蒸着で形成され、エッチングによってパターンニングされる。

【0048】つぎに、前記第1フィルム30と第2フィルム31は重ね合わされて熱圧着等によって積層される。

【0049】つぎに、配線フィルム3の表裏面のスルーホール33部分に、ハンダ等からなる電極17、21、23が形成される（図7参照）。また、配線フィルム3の表裏面の所定箇所に着着剤14、15、24が形成され、図4および図5に示される配線フィルム3が形成される。

【0050】このような配線フィルム3を用いて本実施例1の電子部品1を製造する場合は、図4に示す配線フィルム3の四角形部10の表面部12上に、半導体チップ2をフェイスダウンボンディングによって位置決めし、接着剤14で接着する。この際、半導体チップ2の電極4と表面部12の電極17は相互に重なる。

【0051】つぎに、四角形部10の4辺に連なる三角形部11を折り返し、接着剤15によって電子部品1の裏面に接着する。その後、加熱処理が施される。これによって、ハンダからなる各電極は相互に接着され、図1および図2に示す電子部品1が製造される。

【0052】本実施例1の電子部品1は、図9に示されるように、配線ボード35に実装される。この実装の際、電子部品1の下面の接着剤24によって電子部品1

を配線ボード35に固定し、リフローによって、電子部品1の下面の電極21を配線ボード35の図示しない電極に接続して実装を終了する。

【0053】図8は本実施例1の電子部品モジュール40を示すものである。この電子部品モジュール40は、配線フィルム3によって半導体チップ2を包んだ状態において、半導体チップ2のチップ選択電極の位置がそれぞれ異なる4種類の電子部品1を順次位置決めして重ね、その後リフローして各電極を一時的に溶かして各電極の接合を図った末に製造されたものである。すなわち、図示はしないが、最下段から上段に向かう各電子部品1のチップ選択電極は、4a~4dと順次変わる。これによって、実装面積を単一の電子部品1の実装面積としたままで、メモリ容量を4倍にすることができる。

【0054】図9に配線ボード35に電子部品モジュール40を実装した状態を示してある。また、図9において、電子部品1および電子部品モジュール40の上面の電極は省略してある。

【0055】なお、前記接着剤としては、たとえば、エポキシ樹脂系接着材を使用しているが、一定温度で溶融するフィルムを使用してもよい。また、電子部品1の下面の接着剤は設けず、実装時に用意するようにしても良い。

【0056】また、電極としてハンダバンプを使用しないで、異方性導電膜を使用してもよい。

【0057】前記電子部品1において、半導体チップ2が外気と接触しないように、配線フィルム3の切れ目を接着剤で覆うようにしても良い。

【0058】前記電子部品1において信頼性向上のために複数枚のフィルムで多重に包み込む構造としても良い。

【0059】前記配線フィルム3において、配線32を多層構造としても良い。この場合、配線の引回し余裕度が向上する。

【0060】本実施例1の電子部品において、半導体チップとしてロジックIC等他のICを組み込んでもよい。この場合、配線フィルム3の配線パターンは通常の平坦な配線基板の構造と同様な配線となる。このため、一部の電子部品1においては、電子部品1の上下面の電極に連なる配線は、電子部品1の上下面の電子部品の電極に接続されるもの、または上下面側の電子部品の一方の電極に接続されるもの等の配線構造となる。

【0061】本実施例1の電子部品においては、以下の効果を奏する。

【0062】(1)メモリICを構成する半導体部品である半導体チップ2は可撓性の配線フィルム3に実装され、かつ半導体チップ2の上下面側の配線フィルム3部分には露出した電極23、21が設けられていることから、順次積み重ねて実装することができ、三次元実装に適したものとなる。

【0063】(2)前記半導体チップ2の下面側の配線フィルム3部分の露出面には接着剤24が設けられているため、電子部品1を実装したり順次積み重ねる際固定が容易となる。

【0064】(3)前記半導体チップ2は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっていることから、チップ選択電極の位置が異なる複数の電子部品1を選択して重ねて実装することができ、複数の電子部品1を積み重ねてモジュール化を図った場合、実装面積を増大させることなくメモリ容量を増大させることができる。

【0065】(4)配線フィルム3の配線パターンを選択すれば、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュール製造用の電子部品となる。

【0066】本実施例1の電子部品モジュールにおいては、以下の効果を奏する。

【0067】(1)上下面側に電極23、21を有する電子部品1を、相互に電極23、11を介して多段に積み重ねて接続した構造となっていることから、三次元実装化が図れるとともに、実装面積の低減が図れる。

【0068】(2)前記各電子部品1はチップ選択電極が相互に電氣的に独立したメモリ集積回路となっていることから、実装面積を増大させることなくメモリ容量の増大を図ることができる。

【0069】(3)配線フィルム3の配線パターンを選択すれば、メモリIC以外のロジックIC等他のICを組み込んだ電子部品モジュールも提供できる。

【0070】(実施例2)図10は本発明の他の実施例(実施例2)である電子部品の断面図、図11は同じく斜視図である。

【0071】本実施例2の電子部品1は、半導体部品としてリード(電極)50がJ-イベント型となる半導体装置51を配線フィルム3で包む構造となっている。したがって、前記実施例1と同様な効果が得られる。

【0072】また、本実施例2の電子部品1の場合には、半導体装置51のパッケージ52内に図示しない半導体チップが封止されているため、半導体チップの耐湿性が高い。したがって、図11に示すように、半導体装置51を包む配線フィルム3は、半導体装置51のパッケージ52の隅部が露出しても問題がない。本実施例2の構造では、配線フィルム3による包み込みの余裕度が高くなり、配線フィルム3による封止作業が容易になる効果がある。

【0073】本実施例2の他の構成としては、前記半導体装置としては、リードが真っ直ぐ下方に延在するバットリード型半導体装置やBGA(ball grid array)を組み込んでも同様の効果を得ることができる。

【0074】(実施例3)図12は本発明の他の実施例(実施例3)である電子部品モジュールを示す斜視図、

図13は電子部品モジュールの配線接続状態を示す模式図である。

【0075】本実施例3の電子部品モジュール55は4段に本実施例1による電子部品1を積み重ねた構造で、電子部品モジュール55の下面には実装用の電極が設けられている。この実施例の場合は、一部の段において複数、たとえば、2個の電子部品1を並べて実装し、電子部品モジュールとしてさらに多機能化を図ったものである。図12において、最上段の電子部品1の上の面の電極は省略してある。

【0076】図13は、配線32と配線32に設けられた電極17、21、23と、半導体チップ2と半導体チップ2に設けられた電極4を示した模式図であり、配線フィルム3の絶縁性フィルムは省略してある。また、図面を明瞭にするために配線32は二点鎖線で描き、かつ配線32に設けられた電極17、21、23と、半導体チップ2の電極4との間は隙間をもたせてある。また、一部の配線32は、配線フィルム3が配線構造となるため、上と下の半導体チップ2の電極を接続するための配線ともなっている。

【0077】本実施例3の電子部品モジュール55は、電子部品1の大きさが異なるものも組み込むことができモジュール化が容易となる。また、メモリIC以外のロジックIC等他のICをも組み込むことができる。

【0078】(実施例4)図14は本発明の他の実施例(実施例4)である電子部品モジュールを示す斜視図、図15は電子部品モジュールの配線接続状態を示す一部の断面図である。本実施例4および次の本実施例5は、積層状態の複数の半導体部品(半導体装置や半導体チップ)と、前記各半導体部品の電極と電極を介して電氣的に接続される可撓性の配線フィルムとを有し、前記配線フィルムは前記最下段の半導体部品の下面側に延在し下面に電極を有する構造となっている。

【0079】本実施例4の電子部品モジュール60は、図15に示すように、積み重ねられた複数の半導体装置51(Jーベント型)を配線フィルム3で包む構造となっている。したがって、配線32との電氣的接続は、半導体装置51のパッケージ52の側面に突出するリード50に配線32に接続される電極17を電氣的に接続させる構造となっている。したがって、配線フィルム3の配線パターンを一般のマザーボードのように形成することによって、メモリIC以外のロジックIC等他のICの組み込みも達成できる。

【0080】本実施例4の電子部品モジュール60は、複数の半導体装置51が積層状態となっていることから、実装面積を低減できる電子部品モジュールとなる。

【0081】また、配線フィルム3は積層された複数の半導体装置51を包んだ構造となり、製造が容易となる。

【0082】(実施例5)図16は本発明の他の実施例

(実施例5)である電子部品モジュールを示す模式図、図17は電子部品モジュールの配線接続状態を示す一部断面図である。

【0083】本実施例5の電子部品モジュール65は、一定長さで交互に折り返えされた配線フィルム3の間に半導体チップ2を挟む構造となっている。すなわち、配線フィルム3を一定長さで交互に折り返えし、折り返しによって形成された下層および上層の配線フィルム部分間に半導体チップ2を挟み、半導体チップ2の電極4と配線フィルム3の電極17とを電氣的に接続した構造となっている。

【0084】図17は、半導体チップ2と半導体チップ2に設けられた電極4と、配線32と配線32に設けられた電極17、21を示した模式図であり、配線フィルム3の絶縁性フィルムは省略してある。また、図面を明瞭にするために配線32は二点鎖線で描き、かつ配線32に設けられた電極17、21と、半導体チップ2の電極4との間は隙間をもたせてある。また、一部の配線32は、配線フィルム3が配線構造となるため、上と下の半導体チップ2の電極を接続するための配線ともなっている。

【0085】本実施例5の電子部品モジュール65は、半導体チップ2を配線フィルム3を一定長さで交互に折り返えし、折り返しによって形成された下層および上層の配線フィルム部分間に挟む構造となっていることから、製造が容易となる。

【0086】本実施例5においては、半導体チップ2の代わりにバットリード型半導体装置を折り返しによって形成された下層および上層の配線フィルム部分間に挟む構造としても前記実施例同様な効果が得られる。

【0087】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0088】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0089】(1)メモリICを構成する半導体部品は可撓性の配線フィルムに実装され、かつ半導体部品の上下面側の配線フィルム部分には露出した電極が設けられていることから、順次積み重ねて実装することができ、三次元実装に適した電子部品となる。

【0090】(2)また、メモリIC以外のロジックIC等他のICを組み込んだ三次元実装も可能な電子部品となる。

【0091】(3)前記半導体部品の下面側の配線フィルム部分の露出面には接着剤が設けられているため、電子部品を実装したり順次積み重ねる際固定が容易となる。

【0092】(4) 前記半導体部品は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっていることから、チップ選択電極の位置が異なる複数の電子部品を選択して重ねて実装することができ、複数の電子部品を積み重ねてモジュール化を図った場合、実装面積を増大させることなくメモリ容量を増大させることができる。

【0093】(5) 上下面側に電極を有する電子部品を、相互に電極を介して多段に積み重ねて接続した構造となっていることから、電子部品モジュールの三次元実装化が図れるとともに、実装面積の低減が図れる。また、配線フィルムの配線パターンをの選択によって、メモリIC以外のロジックIC等他のICの組み込みも達成できる。

【0094】(6) 前記各電子部品はチップ選択電極が相互に電氣的に独立したメモリ集積回路となっていることから、電子部品モジュールの実装面積を増大させることなくメモリ容量の増大を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例(実施例1)である電子部品の断面図である。

【図2】本実施例1の電子部品の斜視図である。

【図3】本実施例1の電子部品に組み込まれる半導体チップを示す平面図である。

【図4】本実施例1の電子部品の製造で使用する配線フィルムの平面図である。

【図5】本実施例1の電子部品の製造で使用する配線フィルムの底面図である。

【図6】本実施例1の配線フィルムの製造において複数のフィルムを積み重ねる状態を示す断面図である。

【図7】本実施例1の配線フィルムの構造を示す断面図*

*である。

【図8】本実施例1による電子部品モジュールを示す斜視図である。

【図9】本実施例1の電子部品と電子部品モジュールを実装した状態を示す模式的斜視図である。

【図10】本発明の他の実施例(実施例2)である電子部品の断面図である。

【図11】本実施例2の電子部品の斜視図である。

【図12】本発明の他の実施例(実施例3)である電子部品モジュールを示す斜視図である。

【図13】本実施例3の電子部品モジュールの配線接続状態を示す模式図である。

【図14】本発明の他の実施例(実施例4)である電子部品モジュールを示す斜視図である。

【図15】本実施例4の電子部品モジュールの配線接続状態を示す一部の断面図である。

【図16】本発明の他の実施例(実施例5)である電子部品モジュールを示す模式図である。

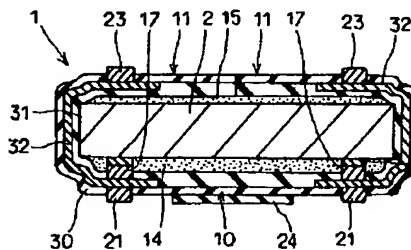
【図17】本実施例5である電子部品モジュールの配線接続状態を示す一部断面図である。

【符号の説明】

1…電子部品、2…半導体チップ、2a…チップ選択電極、3…配線フィルム、4a…チップ選択電極、5a～5d…予備電極位置、10…四角形部、11…三角形部、12、13…表面部、14、15…接着剤、17…電極、20…裏面部、21…電極、22…裏面部、23…電極、24…接着剤、30…第1フィルム、31…第2フィルム、32…配線、33…スルーホール、35…配線ボード、40…電子部品モジュール、50…リード、51…半導体装置、52…パッケージ、55、60、65…電子部品モジュール。

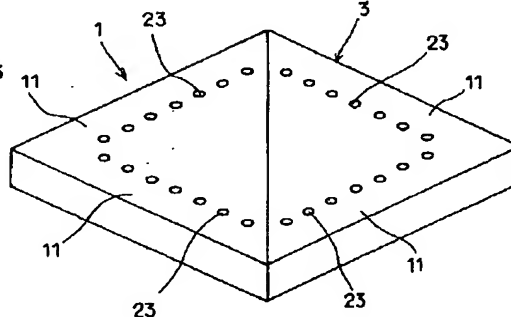
【図1】

図1



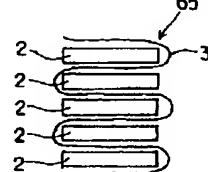
【図2】

図2

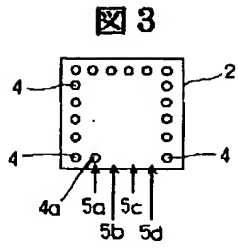


【図16】

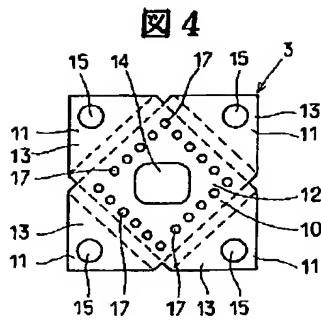
図16



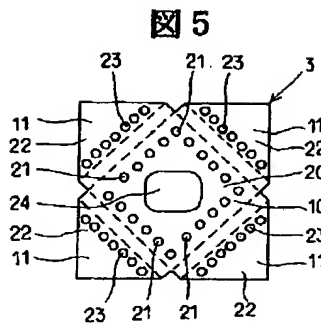
【図3】



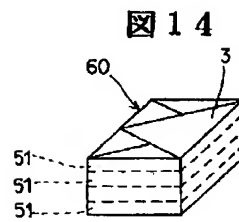
【図4】



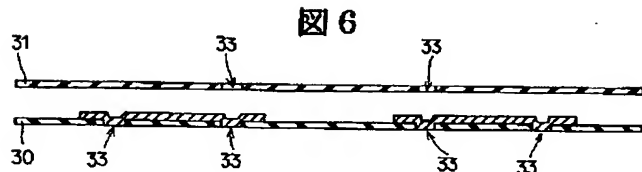
【図5】



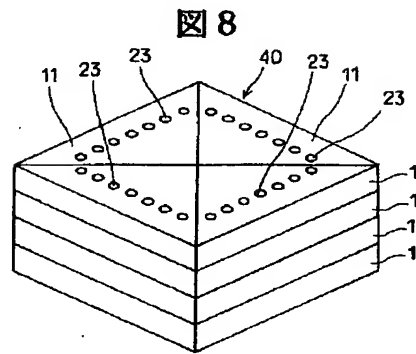
【図14】



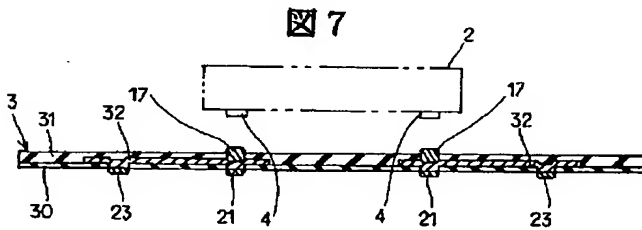
【図6】



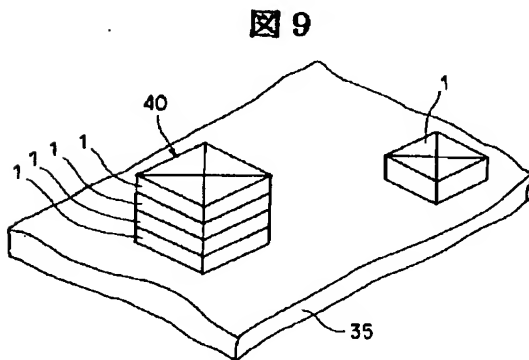
【図8】



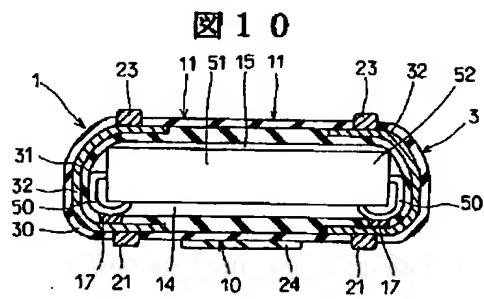
【図7】



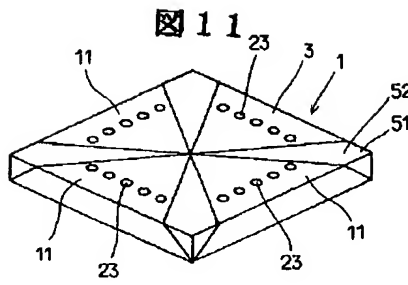
【図9】



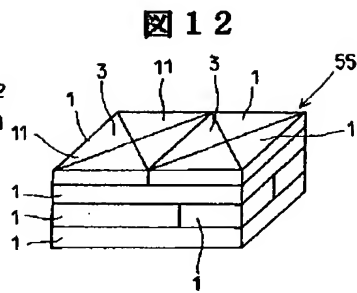
【図10】



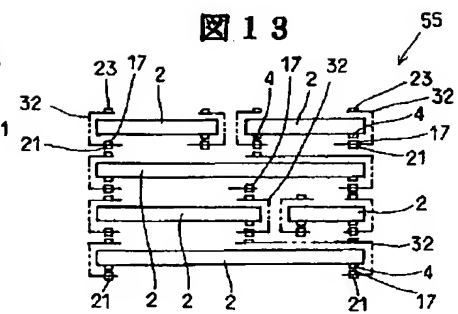
【図11】



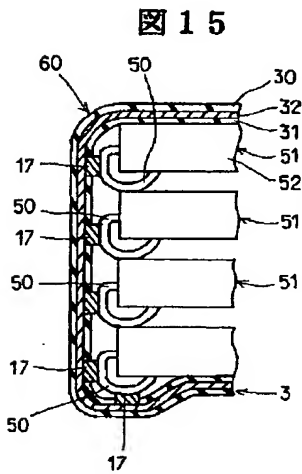
【図12】



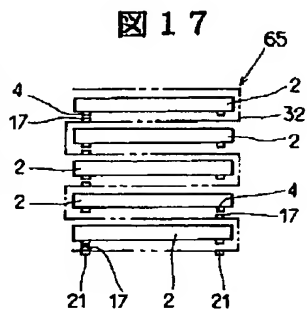
【図13】



【図15】



【図17】



【公報種別】特許法第 1 7 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 1 4 年 8 月 9 日 (2 0 0 2 . 8 . 9)

【公開番号】特開平 8 - 3 4 0 0 2 1
 【公開日】平成 8 年 1 2 月 2 4 日 (1 9 9 6 . 1 2 . 2 4)
 【年通号数】公開特許公報 8 - 3 4 0 1
 【出願番号】特願平 7 - 1 4 4 3 5 0
 【国際特許分類第 7 版】

H01L 21/60 311

【 F I 】

H01L 21/60 311 Q

【手続補正書】
 【提出日】平成 1 4 年 5 月 2 9 日 (2 0 0 2 . 5 . 2 9)

【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】
 【特許請求の範囲】

【請求項 1】電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有することを特徴とする電子部品。

【請求項 2】前記半導体部品の下面側の配線フィルム部分の露出面には接着剤が設けられていることを特徴とする請求項 1 記載の電子部品。

【請求項 3】前記半導体部品は予備電極位置の所定位置にチップ選択電極を有するメモリ集積回路となっていることを特徴とする請求項 1 記載の電子部品。

【請求項 4】電極を有する半導体部品と、前記電極に電極を介して接続され前記半導体部品の上下面に亘って延在する可撓性の配線フィルムと、前記半導体部品の上下面側の配線フィルム部分の露出面に設けられた電極とを有する電子部品を、相互に電極を介して多段に積み重ねて接続してなることを特徴とする電子部品モジュール。

【請求項 5】前記各電子部品はチップ選択電極が相互に電気的に独立したメモリ集積回路となっていることを特徴とする請求項 4 記載の電子部品モジュール。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 1 2
 【補正方法】削除
 【手続補正 3】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 1 3

【補正方法】削除
 【手続補正 4】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 1 4
 【補正方法】削除
 【手続補正 5】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 1
 【補正方法】削除
 【手続補正 6】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 2
 【補正方法】削除
 【手続補正 7】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 3
 【補正方法】削除
 【手続補正 8】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 4
 【補正方法】削除
 【手続補正 9】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 5
 【補正方法】削除
 【手続補正 1 0】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 6
 【補正方法】削除
 【手続補正 1 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 2 7
 【補正方法】削除
 【手続補正 1 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 9 3

【補正方法】変更

【補正内容】

【0093】(5) 上下面側に電極を有する電子部品を、相互に電極を介して多段に積み重ねて接続した構造となっていることから、電子部品モジュールの三次元実装化が図れるとともに、実装面積の低減が図れる。また、配線フィルムの配線パターンを選択によって、メモリ IC 以外のロジック IC 等他の IC の組み込みも達成できる。

【手続補正 13】

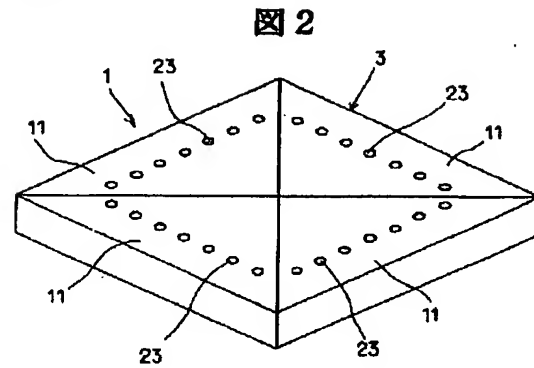
【補正対象書類名】図面

【補正対象項目名】図 2

【補正方法】変更

【補正内容】

【図 2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.